

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-268692

(43)公開日 平成6年(1994)9月22日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 L 13/08		7240-5K		
12/48				
12/56				
		8732-5K	H 0 4 L 11/ 20	
		8529-5K		1 0 2 B
審査請求 未請求 請求項の数 8 書面 (全 7 頁) 最終頁に続く				

(21)出願番号 特願平5-237516

(22)出願日 平成5年(1993)8月18日

(31)優先権主張番号 特願平4-221146

(32)優先日 平4(1992)8月20日

(33)優先権主張国 日本 (J P)

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(71)出願人 000004226

日本電信電話株式会社

東京都千代田区内幸町一丁目1番6号

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 小林 正人

東京都港区芝五丁目7番1号 日本電気株式会社内

(74)代理人 弁理士 京本 直樹 (外2名)

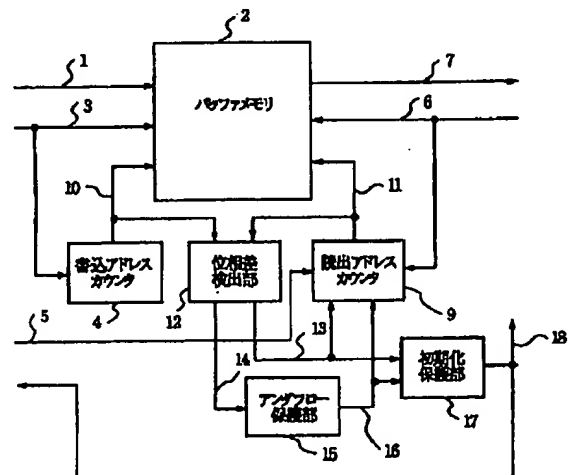
最終頁に続く

(54)【発明の名称】 遅延変動吸収バッファメモリ制御方式

(57)【要約】

【目的】 パケット化された受信信号からC B R信号を再生する遅延変動吸収バッファでオーバフロー、アンダフロー発生時の処理を効果的に行う。

【構成】 バッファメモリ2のオーバフロー、アンダフロー発生時に書き込みまたは読出アドレスをシフトさせる手段、すなわち書き込みアドレスカウンタ4、読出アドレスカウンタ9と、そのアドレスシフト処理を一定条件の下に行なっても異常が回復しない場合に、バッファメモリ2の初期化を行う保護手段17とを有する。



【特許請求の範囲】

【請求項1】 CBR（定ビットレート）情報をパケット化して通信を行う通信網から受信したパケットをバッファメモリに一旦書込み、それを一定のビットレートで読出して元のCBR情報を再生するバッファ処理部にて前記バッファメモリのオーバフロー発生時あるいはアンダフロー発生時に、書込みまたは読出し位相シフトを行うか、前記バッファメモリの初期化を行うことを特徴とする遅延変動吸収バッファメモリ制御方式。

【請求項2】 前記バッファメモリのオーバフロー発生時には、無条件で前記バッファメモリの初期化を行うことを特徴とする請求項1記載の遅延変動吸収バッファメモリ制御方式。

【請求項3】 前記バッファメモリのオーバフローおよびアンダフロー発生時には、無条件で前記バッファメモリの初期化を行うことを特徴とする請求項1記載の遅延変動吸収バッファメモリ制御方式。

【請求項4】 前記バッファメモリの大きさをユーザ情報の整数倍とし、前記オーバフロー発生時には該バッファメモリの書込み側または読出し側のアドレスを一定量変化させる処理を行い、その処理を一定回数連続して実行した後、または処理実行後一定時間後にオーバフローが回復しない場合には、該バッファメモリの初期化を行うことを特徴とする請求項1記載の遅延変動吸収バッファメモリ制御方式。

【請求項5】 前記バッファメモリの大きさをユーザ情報の整数倍とし、該バッファメモリのアンダフローが一定の頻度以上で発生した場合には、バッファメモリの書込み側または読出し側のアドレスを一定量変化させる処理を行うことを特徴とする請求項1記載の遅延変動吸収バッファメモリ制御方式。

【請求項6】 前記バッファメモリのオーバフロー発生時には、前記バッファメモリの書込み側または読出し側のアドレスを一定量変化させる処理を行い、その処理を一定回数連続して実行した後、または処理実行後一定時間後にオーバフローが回復しない場合には、前記バッファメモリの初期化を行うことを特徴とする請求項5記載の遅延変動吸収バッファメモリ制御方式。

【請求項7】 前記バッファメモリの大きさをユーザ情報の整数倍とし、該バッファメモリのアンダフローが一定の頻度以上で発生した場合には、該バッファメモリの書込み側または読出し側のアドレスを一定量変化させる処理を行い、その処理を一定回数連続して実行した後、または処理実行後一定時間後にアンダフローが回復しない場合には、該バッファメモリの初期化を行うことを特徴とする請求項1記載の遅延変動吸収バッファメモリ制御方式。

【請求項8】 前記バッファメモリのオーバフロー発生時には、前記バッファメモリの書込み側または読出し側のアドレスを一定量変化させる処理を行い、その処理を

一定回数連続して実行した後、または処理実行後一定時間後にバッファオーバフローが回復しない場合には、前記バッファメモリの初期化を行うことを特徴とする請求項7記載の遅延変動吸収バッファメモリ制御方式。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はバッファメモリ制御方式に関し、特にCBR（定ビットレート）情報の伝送をパケット類似の通信技術（例えばATM通信）を用いて行う際に必要となる遅延変動吸収処理のためのバッファメモリのアンダフロー、オーバフローを回復できる遅延変動吸収バッファメモリ制御方式に関する。

【0002】

【従来の技術】ATM通信網でのCBR情報のセルセグメンテーション/リアセンブリ機能（以下CLADと呼ぶ）を実現するための遅延変動吸収処理の一例としては、 $(k+1)$ セルバッファリング方式がある。（例えば上松、上田：“ATM網を用いたSTM信号伝達法の検討”，信学技報IN91-2 pp. 7-12（1991年4月24日）を参照）

この方式は、ある条件（セル使用率、通過キュー数等の値）において発生確率が十分小さくなるような（例えば 10^{-n} 以下）遅延量を最大遅延量 Q_{max} とし、送信側CLADのセル送出間隔（すなわち、遅延変動吸収バッファからのセル読出間隔）を T とした時に、 $(k+1)$ 個のセル到着後にバッファからの読出を開始するものである（但し、 k は $kT \geq Q_{max}$ となる最小の整数）

図2に従来の遅延変動吸収バッファメモリ制御方式の構成例を示す。遅延変動吸収のバッファメモリ2としては、 $2k$ 個のセル相当分のデータを記憶可能なメモリを用いている。これにより、読出開始時の遅延量が Q_{max} 以下であればバッファメモリ2でのオーバフローの発生確率はゼロである。また、アンダフローの発生確率は最悪値（読出開始時の遅延量が最小の場合）で 10^{-n} となる。

【0003】

【発明が解決しようとする課題】前述した $(k+1)$ セルバッファリング方式では、初期状態から定常状態へ至る過程の制御について考慮されているが、実用上はそれ以外の要因でバッファメモリにオーバフロー、アンダフローが発生した場合について考慮する必要がある。

【0004】

【課題を解決するための手段】本発明のバッファメモリ制御方式は、CBR（定ビットレート）情報をパケット化して通信を行う通信網から受信したパケットをバッファメモリに一旦書込み、それを一定のビットレートで読出して元のCBR情報を再生するバッファ処理部にて前記バッファメモリのオーバフロー発生時あるいはアンダフロー発生時に、書込みまたは読出し位相シフトを行う

か、前記バッファメモリの初期化を行うことを特徴とする。

【0005】

【実施例】次に、本発明について図面を参照して説明する。

【0006】図1は本発明の一実施例のブロック図である。入力データ1および入力データ1の書込タイミングを制御する書込クロック3は、バッファメモリ2へ入力される。バッファメモリ2へのデータ格納位置を指定する書込アドレス10は、書込クロック3によって歩進動作する書込アドレスカウンタ4から取り出し、バッファメモリ2へ与えられる。

【0007】読出クロック6はバッファメモリ2に接続され、書込まれたデータを読出タイミングを制御する。データの読出位置を指定する読出アドレス11は、読出クロック6によって歩進動作する読出アドレスカウンタ9から取り出し、バッファメモリ2へ与えられる。読出アドレスカウンタ9は、読出開始制御信号5によって歩進動作のオン・オフが行われる。また、バッファメモリ2の書込アドレスまたは読出アドレスを一定量変化させる処理（以後位相シフト処理と呼ぶ）を行う場合には、バッファメモリ2の容量をユーザ情報のフレーム長の整数倍に設定しておく。

【0008】書込アドレス10と読出アドレス11とは、位相差検出部12へも入力されており、位相差検出部12は、両アドレスの差から検出したオーバフロー判定結果13、アンダフロー判定結果14を出力する。この2つの判定結果のうち、オーバフロー判定結果13は直接読出アドレスカウンタ9へ、アンダフロー判定結果14はアンダフロー保護部15を経由して読出アドレスカウンタ9へ接続される。また、アンダフロー保護部15の出力信号16およびオーバフロー判定結果13は、初期化保護部17に接続されており、初期化保護部17は、前述の判定結果（13、14）が一定回数連続したり、あるいは一定時間後に回復しない場合には、初期化制御信号18を出力する。

【0009】次に、本実施例の動作について説明する。

【0010】まず、正常時には、セルの到着毎に書込クロック3によって書込アドレスカウンタ4が歩進動作し、バッファメモリ2へのデータ書込アドレス10が変化する。一方、読出し側では、一定数のセルの到着後または一定量のデータの書込み後（通常メモリの約1/2にデータが蓄積された状態）に、読出アドレスカウンタ9が歩進動作を開始し、再生すべきC B R情報7のクロック速度（すなわち読出クロック6のクロック速度）に応じて読出アドレス11が変化する。

【0011】アンダフローが生じた場合、例えば網の輻輳、下位レイヤの障害、バッファ制御部の誤動作等によって書込み速度が相対的に低下し、バッファメモリ2の読出アドレス11が書込アドレス10を追い越した場合

には、位相差検出部12はバッファメモリ2のアンダフローと判定し、アンダフロー判定結果14を出力する。このアンダフロー判定結果14がアンダフロー保護部15にて一定の発生頻度以上で発生していると判定されると、読出アドレスカウンタ9は、読出アドレス11をユーザ情報のフレーム長の整数倍分遅らせる処理を行う。更に初期化保護部17にて、この処理が一定頻度以上で発生したと判定された場合には、初期化制御信号18を発してバッファ制御の初期化を行う。

【0012】またオーバフローが生じた場合、例えば読出し開始時に網の輻輳、下位レイヤの障害がありその後遅延量が減少したか、またはバッファ制御部の誤動作等によって書込み速度が相対的に増大し、バッファメモリ2の書込アドレス10が読出アドレス11を追い越した場合には、位相差検出部12はバッファメモリ2のオーバフローと判定し、オーバフロー判定結果を出力する。このオーバフロー判定結果13に応じて、読出アドレスカウンタ9は読出アドレス11をユーザ情報のフレーム長の整数倍分進ませる処理（位相シフト処理）を行う。更に初期化保護部17にて、この処理が一定頻度以上で発生したと判定された場合には、バッファ制御の初期化を行う。

【0013】以上述べたバッファメモリ2のアンダフロー、オーバフロー発生時の処理は、要求される特性によって変化させることができる。遅延変動によりアンダフロー、オーバフローの性質は次のようになる。

【0014】①読出開始時の遅延量が設計範囲内（ $0 \sim Q_{max}$ ）の場合

- ・アンダフローの発生確率はゼロよりも大きく許容範囲（ 10^{-n} ）以下
- ・アンダフローは自律的に復帰する
- ・オーバフローの発生確率はゼロ

②読出開始時の遅延量が設計範囲外（ Q_{max} 以上）の場合

- ・アンダフローの発生確率はゼロよりも大、許容範囲（ 10^{-n} ）よりも小
- ・アンダフローは自律的に復帰する
- ・オーバフローの発生確率はゼロでない
- ・オーバフローは継続的に発生する場合がある

すなわち、アンダフローの発生確率は、いかなる場合もゼロより大きく、かつ設計時の許容範囲内である。これに対してオーバフローの発生確率は、通常はゼロであるが、読出開始時の遅延量によっては、ゼロ以外、時には非常に大きな値となる場合、あるいは継続的に発生する場合がある。

【0015】以上の性質より、回路規模を小さくしたい場合には、オーバフローに対する処理のみで継続的な障害からの復旧が可能である。最も簡単な構成としては、オーバフロー時に無条件にバッファ初期化を行う構成がある。

5

【0016】またバッファメモリの容量が大きく、十分な量のセルが蓄積できる場合には、オーバーフローおよびアンダフローとも発生確率を十分小さくできる。この場合には、バッファ制御ハードウェアの簡単化のため、オーバーフローおよびアンダフロー時に無条件にバッファ初期化を行う方法もある。

【0017】オーバーフロー処理の際に、下流において付随的に発生する警報（以後、2次警報と呼ぶ）であるユーザ情報のフレーム同期外れ等を極力押さえたい場合には、オーバーフロー発生と同時に前述の位相シフト処理を行えば良い。これによって、2次警報をユーザ情報のパイロードエラーのみに抑えつつ、オーバーフローからの復旧を行うことが可能となる。遅延変動によるオーバーフローの場合、位相シフト処理の繰り返しによって発生確率はゼロとすることができる。

【0018】メモリ容量と位相シフト量との比率が大きくなると、非常に大きなオーバーフローが発生した場合に、位相シフトの繰り返しで復旧をはかるよりも、初期化を行った方が、復旧までの時間が短くなる。従って、位相シフト処理を一定回数連続して実行した場合、または位相シフト処理実行後一定時間後にオーバーフローが回復しない場合には、初期化制御を行えば良い。

6

【0019】一方、アンダフローの場合には通常、発生確率が許容範囲（ 10^{-n} ）を越えることは無いから、アンダフロー発生と同時に位相シフト処理、あるいは初期化を行わず、一定の保護期間の後に位相シフト処理を行う。これによってアンダフローの再発生確率を減少させることができる。

【0020】メモリ容量と位相シフト量との大小関係によっては、非常に大きなアンダフローが発生した場合には、位相シフトの繰り返しで復旧をはかるよりも、初期化を行った方が、復旧までの時間が短い場合がある。このため、位相シフト処理を一定回数連続して実行した場合、または位相シフト処理実行後一定時間後にアンダフローが回復しない場合には、初期化制御を行えば良い。

【0021】また、位相シフト処理を一定回数連続して実行した場合、または位相シフト処理実行後一定時間後にアンダフローが回復しない場合には、伝送路における障害等の可能性があるので、初期化制御を行う。表1には、要求される事項とそれに対応する各処理の組み合わせを例示する。

【0022】

【表1】

10

20

要求事項	アンダフロー		オーバフロー	
	位相シフト 処理	バッファ 初期化	位相シフト 処理	バッファ 初期化
・遅延変動に起因する異常 からの回復 ・回路の小型化	—	—	—	○
・遅延変動に起因する異常 からの回復 ・回路の小型化	—	○	—	○
・遅延変動に起因する異常 からの回復 ・処理時の2次警報抑圧	—	—	□	■
・遅延変動に起因する異常 からの回復 ・装置誤動作等起因する 異常からの回復	□	—	—	○
・遅延変動に起因する異常 からの回復 ・装置誤動作等起因する 異常からの回復 ・処理時の2次警報抑圧	□	—	□	■
・遅延変動に起因する異常 からの回復 ・装置誤動作等起因する 異常からの回復 ・異常継続後の復旧対応	□	■	—	○
・遅延変動に起因する異常 からの回復 ・装置誤動作等起因する 異常からの回復 ・異常継続後の復旧対応 ・処理時の2次警報抑圧	□	■	□	■

凡例： ○ …… 即時実施
□ …… 保護条件付き(一度頻度以上)で実施
■ …… 位相シフト処理を一定頻度以上行った場合に実施
— …… 実施しない

【0023】

【発明の効果】以上説明したように本発明によれば、遅延変動を吸収するバッファにおいてオーバフロー、アンダフローが発生した場合に、効果的に回復処理を行うことができる。

【図面の簡単な説明】

【図1】本発明の実施例のブロック図

【図2】従来の方式のブロック図

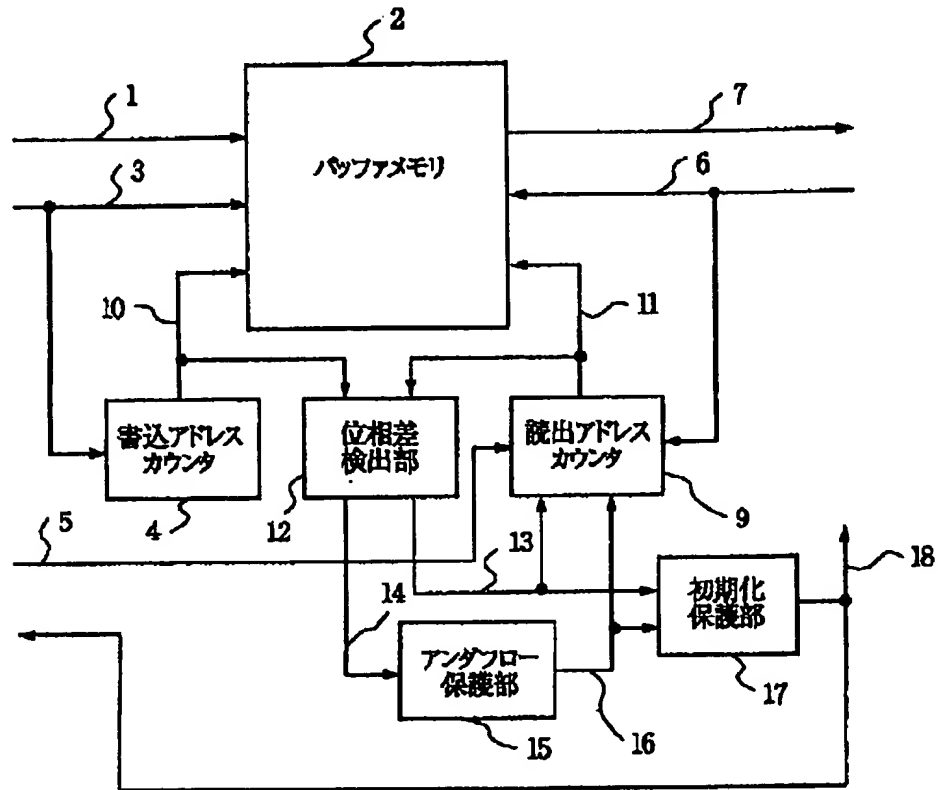
【符号の説明】

- 1 入力データ
- 2 バッファメモリ
- 3 書込クロック
- 4 書込アドレスカウンタ
- 5 読出開始制御信号
- 6 読出クロック
- 7 CBR(定ビットレート)信号
- 9 読出アドレスカウンタ
- 50 10 書込アドレス

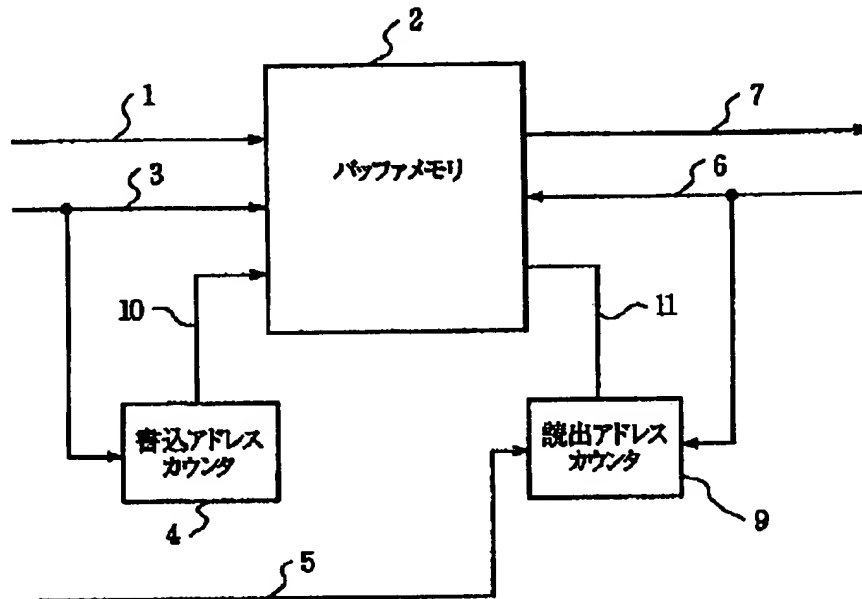
- 11 読出アドレス
- 12 位相差検出部
- 13 アーバフロー判定結果
- 14 アンダフロー判定結果

- 15 アンダフロー保護部
- 16 アンダフロー保護部出力信号
- 17 初期化保護部
- 18 初期化制御信号

【図1】



【図2】



フロントページの続き

(51) Int. Cl.⁵

H 0 4 L 29/14

H 0 4 Q 3/00

識別記号

庁内整理番号

F I

技術表示箇所

9076-5K

7240-5K

H 0 4 L 13/00

3 1 1

(72)発明者 村上 紅
東京都港区芝五丁目7番1号 日本電気株
式会社内

(72)発明者 上松 仁
東京都千代田区内幸町一丁目1番6号 日
本電信電話株式会社内

(72)発明者 上田 裕巳
東京都千代田区内幸町一丁目1番6号 日
本電信電話株式会社内

(72)発明者 竹尾 浩
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(72)発明者 井口 一雄
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内